

S PN=DE 10036627

S1 1 PN=DE 10036627

?

T S1/9/1

1/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2006 The Thomson Corporation. All rts. reserv.

0012417306 - Drawing available

WPI ACC NO: 2002-361697/200239

Related WPI Acc No: 2002-180457; 2002-206370; 2002-426143; 2002-643609;

2002-643614; 2002-643615; 2003-093883; 2003-201931; 2003-278927;

2003-301318; 2003-301319; 2003-403413; 2003-569675; 2003-671832;

2003-679901; 2003-768028; 2004-191870; 2004-257444; 2004-375952;

2004-729280; 2005-142682; 2005-404942

XRPX Acc No: N2002-282732

Integrated cell matrix circuit has at least 2 different types of cells with interconnection terminals positioned to allow mixing of different cell types within matrix circuit

Patent Assignee: PACT INFORMATIONSTECHNOLOGIE GMBH (PACT-N); PACT XPP TECHNOLOGIES AG (PACT-N)

Inventor: BAUMGARTE V; CARDOSO J M P; EHLERS G; MAY F; NUCKEL A; NUECKEL A; VORBACH M; WEINHARDT M

Patent Family (6 patents, 95 countries)

Patent

Application

Number	Kind	Date	Number	Kind	Date	Update
WO 2002008964	A2	20020131	WO 2001EP8534	A	20010724	200239 B

DE 10036627	A1	20020214	DE 10036627	A	20000727	200239 E
-------------	----	----------	-------------	---	----------	----------

DE 10129237	A1	20020418	DE 10129237	A	20010620	200239 E
-------------	----	----------	-------------	---	----------	----------

AU 200189737	A	20020205	AU 200189737	A	20010724	200241 E
--------------	---	----------	--------------	---	----------	----------

EP 1377919	A2	20040107	EP 2001969493	A	20010724	200404 E
------------	----	----------	---------------	---	----------	----------

WO 2001EP8534	A	20010724				
---------------	---	----------	--	--	--	--

AU 2001289737	A8	20051020	AU 2001289737	A	20010724	200615 E
---------------	----	----------	---------------	---	----------	----------

Priority Applications (no., kind, date): WO 2001EP6703 A 20010613; DE

10111014 A 20010307; DE 10110530 A 20010305; EP 2001102674 A

20010207; WO 2000EP10516 A 20001009; DE 10036627 A 20000727; DE

10036221 A 20000724; DE 10129237 A 20010620

Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
--------	------	-----	----	-----	--------	-------

WO 2002008964	A2	DE	32	8		
---------------	----	----	----	---	--	--

National Designated States,Original: AE AG AL AM AT AU AZ BA BB BG BR BY

BZ CA CH CN CO CR CU CZ DE DK DM DZ EC EE ES FI GB GD GE GH GM HR HU ID

IL IN IS JP KE KG KP KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ

NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR TT TZ UA UG US UZ VN YU ZA

ZW

Regional Designated States,Original: AT BE CH CY DE DK EA ES FI FR GB GH

GM GR IE IT KE LS LU MC MW MZ NL OA PT SD SE SL SZ TR TZ UG ZW

AU 200189737	A	EN			Based on OPI patent	WO 2002008964
--------------	---	----	--	--	---------------------	---------------

EP 1377919	A2	DE			PCT Application	WO 2001EP8534
------------	----	----	--	--	-----------------	---------------

					Based on OPI patent	WO 2002008964
--	--	--	--	--	---------------------	---------------

Regional Designated States,Original: AT BE CH CY DE DK ES FI FR GB GR IE

IT LI LU MC NL PT SE TR

AU 2001289737 A8 EN Based on OPI patent WO 2002008964

Alerting Abstract WO A2

NOVELTY - The circuit (1) has a number of adjacent cells (2a-2e) divided into at least 2 cell types, the cells having a sufficient size for integration of a number of logic elements (3a,3e), at least some of the cells having programmable logic elements. The terminals (5a-5d) for the interconnections between the cells are positioned to allow mixing of the different types of cells within the cell matrix.

DESCRIPTION - An INDEPENDENT CLAIM for a design method for an integrated cell matrix circuit is also included.

USE - The integrated cell matrix circuit is used for a data processing device.

ADVANTAGE - The circuit allows mixing of at least 2 different types of cells within the cell matrix.

DESCRIPTION OF DRAWINGS - The figure shows a schematic representation of an integrated cell matrix circuit.

1 Integrated cell matrix circuit

2a-2e Cells

3a-3e Logic elements

5a-5d Interconnection terminals

Title Terms /Index Terms/Additional Words: INTEGRATE; CELL; MATRIX; CIRCUIT; TYPE; INTERCONNECT; TERMINAL; POSITION; ALLOW; MIX

Class Codes

International Classification (Main): G06F-015/76, G06F-017/50, G06F-009/45, H01L-027/118

(Additional/Secondary): G06F-015/78

File Segment: EPI;

DWPI Class: T01; U11

Manual Codes (EPI/S-X): T01-J15A2; U11-G01; U11-G02

Original Publication Data by Authority

Australia

Publication No. AU 2001289737 A8 (Update 200615 E)

Publication Date: 20051020

****Integrated circuit****

Assignee: PACT INFORMATIONSTECHNOLOGIE GMBH (PACT-N)

Inventor: NUCKEL A

EHLERS G

VORBACH M

BAUMGARTE V

Language: EN

Application: AU 2001289737 A 20010724 (Local application)

Priority: DE 10036221 A 20000724

DE 10036627 A 20000727

WO 2000EP10516 A 20001009

EP 2001102674 A 20010207

DE 10110530 A 20010305

DE 10111014 A 20010307

WO 2001EP6703 A 20010613

DE 10129237 A 20010620

Related Publication: WO 2002008964 A (Based on OPI patent)
Original IPC: G06F-15/76(A) G06F-15/78(B)
Current IPC: G06F-15/76(A) G06F-15/78(B)

Publication No. AU 200189737 A (Update 200241 E)
Publication Date: 20020205
Assignee: PACT INFORMATIONSTECHNOLOGIE GMBH; DE (PACT-N)
Language: EN
Application: AU 200189737 A 20010724 (Local application)
Priority: DE 10036221 A 20000724
DE 10036627 A 20000727
WO 2000EP10516 A 20001009
EP 2001102674 A 20010207
DE 10110530 A 20010305
DE 10111014 A 20010307
WO 2001EP6703 A 20010613
DE 10129237 A 20010620
Related Publication: WO 2002008964 A (Based on OPI patent)

Germany

Publication No. DE 10036627 A1 (Update 200239 E)
Publication Date: 20020214
****Integrierter Schaltkreis****
Assignee: PACT Informationstechnologie GmbH, 80807 Munchen, DE (PACT-N)
Inventor: Nuckel, Armin, Dr., 76777 Neupotz, DE
Baumgarte, Volker, 81677 Munchen, DE
Ehlers, Gerd, 85630 Grasbrunn, DE
Agent: Pietruk, C., Dipl.-Phys., Pat.-Anw., 76229 Karlsruhe
Language: DE
Application: DE 10036627 A 20000727 (Local application)
Priority: DE 10036221 A 20000724
Original IPC: H01L-27/118(A)
Current IPC: H01L-27/118(A)

Original Abstract: Die Erfindung betrifft einen integrierten Schaltkreis mit mehreren, einander benachbarten Zellen, wobei wenigstens zwei Arten von Zellen vorgesehen sind, welche Anschlusse aufweisen. Hierbei ist vorgesehen, dass die Zellen eine zur Integration einer Vielzahl logischer Elemente ausreichende Grosse aufweisen, wobei zumindest an einigen der Zellen zumindest ein logisches Element programmierbar ist und die Anschlusse an zumindest im wesentlichen ubereinstimmenden Positionen der Zelle vorgesehen sind, um so eine Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu erlauben.

Claim:

- * 1. Integrierter Schaltkreis mit mehreren, einander benachbarten Zellen, wobei wenigstens zwei Arten von Zellen vorgesehen sind, welche Anschlusse aufweisen,
- **dadurch gekennzeichnet****, dass die Zellen
- eine zur Integration einer Vielzahl logischer Elemente ausreichende Grosse aufweisen, wobei zumindest an einigen der Zellen zumindest ein logisches Element programmierbar ist und die Anschlusse an zumindest im wesentlichen ubereinstimmenden Positionen der Zelle vorgesehen sind, um so eine Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu erlauben.

Publication No. DE 10129237 A1 (Update 200239 E)
Publication Date: 20020418

****Verfahren zur Bearbeitung von Daten****

Assignee: PACT Informationstechnologie GmbH, 80807 Munchen, DE (PACT-N)

Inventor: May, Frank, 81927 Munchen, DE

Nuckel, Armin, Dr., 76777 Neupotz, DE

Vorbach, Martin, 80689 Munchen, DE

Weinhardt, Markus, Dr., 80339 Munchen, DE

Cardoso, Joao Manuel Paiva, Vila de Paiva, PT

Agent: Pietruk, C., Dipl.-Phys., Pat.-Anw., 76229 Karlsruhe

Language: DE

Application: DE 10129237 A 20010620 (Local application)

Priority: WO 2000EP10516 A 20001009

EP 2001102674 A 20010207

Original IPC: G06F-9/45(A)

Current IPC: G06F-9/45(A)

Original Abstract: Die Erfindung betrifft ein Verfahren zur Übersetzung von Programmen auf ein System, bestehend aus wenigstens einem ersten Prozessor und einer rekonfigurierbaren Einheit. Hierbei ist vorgesehen, dass die Codeteile, die für die rekonfigurierbare Einheit geeignet sind, bestimmt und extrahiert werden und der verbleibende Code zur Abarbeitung durch den ersten Prozessor derart extrahiert wird.

Claim:

- * 1. Verfahren zur Übersetzung von Programmen auf ein System bestehend aus wenigstens einem ersten Prozessor und einer rekonfigurierbaren Einheit,

****dadurch gekennzeichnet****, dass die Codeteile, die für die rekonfigurierbare Einheit geeignet sind, bestimmt und extrahiert werden und der verbleibende Code zur Abarbeitung durch den ersten Prozessor derart extrahiert wird.

EPO

Publication No. EP 1377919 A2 (Update 200404 E)

Publication Date: 20040107

****INTEGRIERTER SCHALTKREIS**

INTEGRATED CIRCUIT

CIRCUIT INTEGRE**

Assignee: PACT XPP Technologies AG, Muthmannstrasse 1, 80939 Munchen, DE (PACT-N)

Inventor: VORBACH, Martin, Gotthardstrasse 117A, 80689 Munchen, DE

NUCKEL, Armin, Drosselweg 4, 76777 Neupotz, DE

BAUMGARTE, Volker, Barbarossastrasse 14, 81677 Munchen, DE

EHLERS, Gerd, Am Ostring 5B, 85630 Neuhoferlo, DE

Agent: Pietruk, Claus Peter, Dipl.-Phys., Heinrich-Lilienfein-Weg 5, 76229 Karlsruhe, DE

Language: DE

Application: EP 2001969493 A 20010724 (Local application)

WO 2001EP8534 A 20010724 (PCT Application)

Priority: DE 10036221 A 20000724

DE 10036627 A 20000727

WO 2000EP10516 A 20001009

EP 2001102674 A 20010207

DE 10110530 A 20010305

DE 10111014 A 20010307

WO 2001EP6703 A 20010613

DE 10129237 A 20010620

Related Publication: WO 2002008964 A (Based on OPI patent)

Designated States: (Regional Original) AT BE CH CY DE DK ES FI FR GB GR IE

IT LI LU MC NL PT SE TR

Original Abstract: The invention relates to an integrated circuit comprising several adjacent cells, whereby at least two types of cells, which have connections, are provided. According to said method, the cells are of a sufficient size for integrating a large number of logic elements. At least one logic element can be programmed in at least some of the cells and the connections are provided in positions, which at least substantially correspond in the cell, in order to permit a mixture of cell types in the adjacent assembly of cells.

WIPO

Publication No. WO 2002008964 A2 (Update 200239 B)

Publication Date: 20020131

****INTEGRIERTER SCHALTkreis**

INTEGRATED CIRCUIT

CIRCUIT INTEGRE**

Assignee: ~(except US)~ PACT INFORMATIONSTECHNOLGIE GMBH, Leopoldstrasse 236, 80807 Munchen, DE Residence: DE Nationality: DE (PACT-N)

~(only US)~ VORBACH, Martin, Gotthardstrasse 117A, 80689 Munchen, DE Residence: DE Nationality: DE

~(only US)~ NUCKEL, Armin, Drosselweg 4, 76777 Neupotz, DE Residence: DE Nationality: DE

~(only US)~ BAUMGARTE, Volker, Barbarossastrasse 14, 81677 Munchen, DE Residence: DE Nationality: DE

~(only US)~ EHLERS, Gerd, Am Ostring 5B, 85630 Neuokeferloh, DE Residence: DE Nationality: DE

Inventor: VORBACH, Martin, Gotthardstrasse 117A, 80689 Munchen, DE

Residence: DE Nationality: DE

NUCKEL, Armin, Drosselweg 4, 76777 Neupotz, DE Residence: DE Nationality: DE

BAUMGARTE, Volker, Barbarossastrasse 14, 81677 Munchen, DE Residence: DE Nationality: DE

EHLERS, Gerd, Am Ostring 5B, 85630 Neuokeferloh, DE Residence: DE Nationality: DE

Agent: PIETRUK, Claus, Peter, European Patent Attorney, Heinrich-Lilienfein-Weg 5, 76229 Karlsruhe, DE

Language: DE (32 pages, 8 drawings)

Application: WO 2001EP8534 A 20010724 (Local application)

Priority: DE 10036221 A 20000724

DE 10036627 A 20000727

WO 2000EP10516 A 20001009

EP 2001102674 A 20010207

DE 10110530 A 20010305

DE 10111014 A 20010307

WO 2001EP6703 A 20010613

DE 10129237 A 20010620

Designated States: (National Original) AE AG AL AM AT AU AZ BA BB BG BR BY

BZ CA CH CN CO CR CU CZ DE DK DM DZ EC EE ES FI GB GD GE GH GM HR HU ID

IL IN IS JP KE KG KP KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ

NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR TT TZ UA UG US UZ VN YU ZA

ZW

(Regional Original) AT BE CH CY DE DK EA ES FI FR GB GH GM GR IE IT KE LS

LU MC MW MZ NL OA PT SD SE SL SZ TR TZ UG ZW

Original IPC: G06F-17/50(A)

Current IPC: G06F-17/50(A)

Original Abstract: Die Erfindung betrifft einen integrierten Schaltkreis

mit mehreren, einander benachbarten Zellen, wobei wenigstens zwei Arten von Zellen vorgesehen sind, welche Anschlüsse aufweisen. Hierbei ist vorgesehen, dass die Zellen eine zur Integration einer Vielzahl logischer Elemente ausreichende Grosse aufweisen, wobei zumindest an einigen der Zellen zumindest ein logisches Element programmierbar ist und die Anschlüsse an zumindest im wesentlichen übereinstimmenden Positionen der Zelle vorgesehen sind, um so eine Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu erlauben.

The invention relates to an integrated circuit comprising several adjacent cells, whereby at least two types of cells, which have connections, are provided. According to said method, the cells are of a sufficient size for integrating a large number of logic elements. At least one logic element can be programmed in at least some of the cells and the connections are provided in positions, which at least substantially correspond in the cell, in order to permit a mixture of cell types in the adjacent assembly of cells.

L'invention concerne un circuit integre comprenant plusieurs cellules voisines, de deux types au moins, qui presentent des connexions. Selon l'invention, les cellules presentent une taille suffisante pour l'integration d'une multitude d'elements logiques: au moins un element logique est programmable sur au moins quelques-unes des cellules et les connexions sont situees a des positions au moins pratiquement concordantes de la cellule pour permettre un melange des types de cellules pour l'agencement voisin des cellules.

?



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 100 36 627 A 1**

⑤① Int. Cl.⁷:
H 01 L 27/118
// G06F 7/00, G11C
11/34

⑳ Aktenzeichen: 100 36 627.9
㉔ Anmeldetag: 27. 7. 2000
㉓ Offenlegungstag: 14. 2. 2002

DE 100 36 627 A 1

⑥⑥ Innere Priorität:
100 36 221. 4 24. 07. 2000

⑦① Anmelder:
PACT Informationstechnologie GmbH, 80807
München, DE

⑦④ Vertreter:
Pietruk, C., Dipl.-Phys., Pat.-Anw., 76229 Karlsruhe

⑦② Erfinder:
Nückel, Armin, Dr., 76777 Neupotz, DE; Baumgarte,
Volker, 81677 München, DE; Ehlers, Gerd, 85630
Grasbrunn, DE

⑤⑥ Entgegenhaltungen:
DE 197 32 842 A1
US 60 66 866
US 48 47 612

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Integrierter Schaltkreis**

⑤⑦ Die Erfindung betrifft einen integrierten Schaltkreis mit mehreren, einander benachbarten Zellen, wobei wenigstens zwei Arten von Zellen vorgesehen sind, welche Anschlüsse aufweisen. Hierbei ist vorgesehen, daß die Zellen eine zur Integration einer Vielzahl logischer Elemente ausreichende Größe aufweisen, wobei zumindest an einigen der Zellen zumindest ein logisches Element programmierbar ist und die Anschlüsse an zumindest im wesentlichen übereinstimmenden Positionen der Zelle vorgesehen sind, um so eine Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu erlauben.

DE 100 36 627 A 1

[0001] Die vorliegende Erfindung betrifft einen integrierten Schaltkreis nach dem Oberbegriff des unabhängigen Anspruchs. Damit befaßt sich die vorliegende Erfindung allgemein mit der Herstellung von logischen Halbleiterbauelementen.

[0002] Aus der DE 44 16 881 C2, deren Offenbarungsgehalt durch Bezugnahme vollumfänglich eingegliedert ist, ist ein Verfahren zum Betrieb einer Datenverarbeitungseinrichtung mit programmier- und konfigurierbarer Zellstruktur bekannt. Die Datenverarbeitungsvorrichtung umfaßt eine Zellmatrix aus einer Vielzahl orthogonal zueinander angeordneter, homogen strukturierter Zellen, welche in ihrer Funktion und Vernetzung frei programmierbar sind. Es wird nicht angegeben, wie in der Praxis ein integrierter Baustein mit dieser Zellmatrix vorteilhaft hergestellt werden kann. Außerdem wird nicht angegeben, wie die dargestellte Datenverarbeitungseinrichtung auf einfache Weise für bestimmte Anwendungen angepaßt hergestellt werden kann.

[0003] Aus "Principles of CMOS VLSI Design" von N. H. Weste und K. Eshraghian, Addison-Wesley, 2. Auflage 1993, Kapitel 8, Abschnitt 8.4.2.1 ist ein Blocklayout, d. h. ein Floorplan eines generischen, d. h. an bestimmte Anwendungen anpaßbaren PLA bekannt. Dabei wird eine Abbildung gezeigt, bei welcher eine Reihe von Zellen für unterschiedliche logische Funktionen nebeneinander angeordnet sind. Es wird weiter in Fig. 8.80 des Dokumentes eine physikalische Implementierung für einen PLA gezeigt, bei welcher zwei unterschiedliche logische Funktionsblöcke mit unterschiedlich herangeführten Anschlüssen vorgesehen sind. Auch hier ist somit nicht angegeben, wie in der Praxis ein integrierter Baustein besonders vorteilhaft hergestellt werden kann.

[0004] Es ist wünschenswert, integrierte Schaltkreise, insbesondere hochkomplexe wie jene der in der DE 44 16 881 C2 beschriebenen Art auf einfache Weise physikalisch implementieren und anpassen zu können.

[0005] Die Aufgabe der Erfindung besteht darin, Neues für die gewerbliche Anwendung bereitzustellen.

[0006] Die Lösung dieser Aufgabe wird unabhängig beansprucht. Bevorzugte Ausführungsformen finden sich in den Unteransprüchen.

[0007] Gemäß einem ersten Aspekt der vorliegenden Erfindung wird somit vorgeschlagen, daß bei einem integrierten Schaltkreis mit mehreren, einander benachbarten Zellen, wobei wenigstens zwei Arten von Zellen vorgesehen sind, welche Anschlüsse aufweisen, vorgesehen ist, daß die Zellen eine zur Integration einer Vielzahl logischer Elemente ausreichende Größe aufweisen, wobei zumindest an einigen der Zellen zumindest ein logisches Element programmierbar ist und die Anschlüsse an zumindest im wesentlichen übereinstimmenden Positionen der Zelle vorgesehen sind, um so eine willkürliche, d. h. sich nicht streng regulär über den Baustein wiederholende Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu erlauben.

[0008] Ein erster wesentlicher Gedanke der Erfindung besteht demnach darin, daß ein integrierter hochkomplexer Schaltkreis, auf dem eine Vielzahl von unterschiedlichen logischen Funktionen realisiert ist, ohne weiteres hergestellt werden kann, indem darauf Zellblöcke definiert werden, die im Zellbereichsinneren programmierbare logische Elemente aufweisen und nach außen hin übereinstimmend angeordnete Anschlüsse aufweisen. Dabei wurde erkannt, daß es allein dadurch, daß zwischen Bereichen für die Realisierung bestimmter Funktionen auf vorbestimmte Weise Leiterbahnen ohne eigentliche Funktion in Form von Anschlußleitungen vorgesehen werden, die Anzahl der beim Chipent-

wurf zu berücksichtigenden Objekte also erhöht wird, möglich wird, verschiedene Zelltypen an beliebigen Stellen auf dem integrierten Schaltkreis anzuordnen, ohne daß der vollständige Schaltkreis von Grund auf neu entworfen werden muß.

[0009] Bei dem integrierter Schaltkreis kann mit wenigstens einer der Zellarten wenigstens ein Speicher-, Floating-Point-Rechenwerk-, Integer-Rechenwerk-, Addierer-, Multiplizierer-, Verschlüsselungswerk-, Verbindungs-, Ein- und/oder Ausgabemittel realisiert sein. Bei dem Verschlüsselungs- bzw. Kryptographiewerk kann es sich beispielsweise um eine Schaltungsstruktur handeln, die fest oder programmierbar die Bits eines Datenwortes gegeneinander vertauscht, um eine Ver- oder Entschlüsselung vorzunehmen. Bei einem Verbindungsmittel kann vorgesehen sein, daß zugeführte Signale ohne irgendeine Veränderung auf einer gegenüberliegenden Zellseite herausgeführt werden; es sind dazu im Zellinneren z. B. ausschließlich durchgehende Leiterbahnen vorgesehen. Wenn Speichermittel vorgesehen werden, kann es sich um einen RAM-, ROM-, PROM-, EEPROM-Speicher und/oder Kombinationen vorgenannter Speichertypen handeln. Die Ein- und/oder Ausgabemittel können bei integrierten Schaltkreisen für die Computertechnik zur Kommunikation mit einem Modemanschluß, einem Netzwerkanschluß, einem Speichermittel und/oder mit einem Peripheriegeräteanschluß wie einer Maus, einem Drucker, einer Anzeige usw. dienen.

[0010] Bevorzugt werden die Zellen für die Integration von wenigstens 100, bevorzugt 1000 logischen Elementen, insbesondere Gattern dimensioniert sein. Dies stellt sicher, daß der zusätzliche zusätzlicher Platzaufwand für das Vorsehen von Verbindungsleitungen der Zellen sich nicht wesentlich nachteilig auswirkt und zugleich stark unterschiedliche Zellfunktionen realisierbar sind. Es ist insbesondere möglich, wenigstens zwei verschiedene Zellarten vorzusehen, die jeweils zumindest 100, bevorzugt 1000 logische Gatteräquivalente umfaßt. Hierbei sei erwähnt, daß einleuchtenderweise mehr als zwei unterschiedliche Zellarten auf einem einheitlich gefertigten, durchgehenden Substrat, auf welchem der integrierten Schaltkreis gebildet ist, angeordnet werden können.

[0011] Die Zellen können bevorzugt so bemaßt sein, daß wenigstens eine Kantenlänge der Zellen wenigstens das 500fache, bevorzugt wenigstens das 1000fache der den Herstellungsprozeß charakterisierenden Gatellänge beträgt. Bei einem Herstellungsprozeß, mit welchem 0,25 µm-Strukturen herstellbar sind, kann also eine Zellkante zumindest eine Länge von 125 µm aufweisen.

[0012] Bevorzugt ist, wenn beide Kanten der Zelle eine bestimmte Mindestgröße nicht unterschreiten. Dazu können wenigstens zwei Kantenlängen der Zellen wenigstens das 200fache, bevorzugt wenigstens das 500fache der den Herstellungsprozeß charakterisierenden Gatellänge betragen.

[0013] Bevorzugt ist es, wenn die Zellen verschiedener Arten zumindest im wesentlichen identische Größen aufweisen, also allenfalls nichtsignifikante Größenabweichungen besitzen.

[0014] Die Anschlüsse werden bevorzugt zumindest einen der Anschlüsse Versorgungsspannung und/oder Masse, und/oder zumindest eine Zell-Ein- und/oder Ausgabeleitung umfassen, wobei es insbesondere möglich ist, daß die Zell-Ein- und/oder Ausgabeleitung einen Teil eines Ein- und/oder Ausgabebusses darstellt und/oder eine Taktleitung umfaßt. In diesem Fall werden die für jeweilige Bits vorgesehenen Zu- und/oder Ableitungen an jeweils hinreichend korrespondierenden Stellen längs der Zellwand angeordnet sein. Dies ermöglicht es, daß zwei oder mehr voneinander unabhängige Busse an die Zelle herangeführt werden und/oder durch

diese hindurch laufen, ohne daß Signaltransferprobleme relevant werden.

[0015] Es ist bevorzugt, zumindest einige der Zellanschlüsse am Zellrand anzuordnen. Dies erlaubt eine kachelartige Nebeneinanderordnung der Bauelemente, was herstellungstechnisch günstig ist. Die kachelartige Nebeneinanderordnung wird bevorzugt ohne Überlappung der Einzel-elemente erreicht, was das Layout weiter vereinfacht. Die Anschlüsse sind dabei vollständig bis zum Rand geführt, so daß auf der Maske Anschlüsse benachbarter Zellen aneinander stoßen und im integrierten Schaltkreis ineinander übergehen.

[0016] Alternativ und/oder zusätzlich können zumindest einige der Zellanschlüsse auf der Zellober- und/oder Unterseite angeordnet sein. Dies erlaubt es, zumindest zwei Lagen Zellen übereinander vorzusehen. Bei einer Zellstruktur gemäß DE 44 16 881 können insbesondere die Rechenwerke wie Multiplizierer, Addierer usw. in einer ersten Lage und die damit verbundenen Steuerautomaten, d. h. State-machines, in der zweiten Lage angeordnet werden.

[0017] Die Erfindung wird im folgenden nur beispielsweise anhand der Zeichnung erläutert. In dieser zeigt:

[0018] Fig. 1 einen integrierten Schaltkreis der vorliegenden Erfindung;

[0019] Fig. 2 einen Ausschnitt aus dem integrierten Schaltkreis mit einer einzelnen Zellen;

[0020] Fig. 3 verschiedene Zellen des erfindungsgemäßen integrierten Schaltkreises mit jeweiligen logischen Elementen.

[0021] Nach Fig. 1 umfaßt ein allgemein mit 1 bezeichneter integrierter Schaltkreis 1 eine Reihe unterschiedlicher Arten von Zellen 2a–2e mit jeweiligen logischen Elementen 3a–3e. Die einzelnen Zellen sind voneinander abgegrenzt, wie durch Grenzlinien 4 veranschaulicht. An den Zellen sind Anschlüsse 5a–5d vorgesehen, die die Zellen 2a–2e über die Grenzlinien hinweg mit den jeweiligen Nachbarzellen bzw. nach außen verbinden.

[0022] Bei den Zellen 2a handelt es sich um Speicherzellen 2a, die für die wahlfreie Speicherung von Daten, d. h. für Lese- und/oder Schreiboperationen ausgelegt sind. Bei der Zelle 2b handelt es sich um eine I/O-Zelle 2b, d. h. um eine Eingabe-Ausgabe-Einheit-Zelle 2b. Die I/O-Zelle 2b ist dazu ausgebildet, eine Ein- und/oder Ausgabe zu einem oder mehreren Peripheriegeräten wie einer Maus, einem Trackball, einem Touchpad, einem Drucker, einem Modem, einer Kamera, einem Anzeigegerät und/oder einer Grafikkarte vorzusehen. Bei den Zellen 2c handelt es sich um Floating-Point-Unit-Zellen 2c, d. h. Gleitkomma-Einheit-Zellen 2c, die dazu ausgebildet sind, Gleitkomma-Rechenoperationen auf Daten durchzuführen, die Gleitkomma-Zahlen repräsentieren. Bei den Zellen 2d handelt es sich um Rechenwerk-Zellen 2d, die dazu ausgelegt sind, logische Operationen sowie arithmetische Operationen auf Daten durchzuführen, die logische Operanden bzw. ganze Zahlen repräsentieren. Bei den Zellen 2e handelt es sich um multiplizierende Zellen 2e, die Zahlen repräsentierende Daten multiplikativ miteinander verknüpfen.

[0023] Jede der Zellen 2a bis 2e ist aus einer Vielzahl von Gattern (nicht gezeigt) in per se bekannter Weise aufgebaut. Diese Gatter bilden die logischen Elemente 3a–3e der Zellen. Von den Gattern sind zumindest einige in jeder Zelle während der Laufzeit programmierbar, um eine jeweils erforderliche Aufgabe mit der Zelle ausführen zu können.

[0024] Die Grenzlinien 4 zwischen den Zellen müssen nicht durch eine reale Struktur implementiert sein. Vielmehr können sie durch einen zwischen den eng beieinander liegenden Gattern und anderen Bestandteilen der Zellen 2a bis 2e angeordneten und nur von den Leitungen der Anschlüsse

5 durchquerten Freiraum definiert sein, der bei einem guten Entwurf eine allenfalls geringe Ausdehnung besitzt. Dabei können die gegebenenfalls nur gedachten Grenzlinien 4 so angeordnet werden, daß die einzelnen Zellen 2a bis 2e zu-
 5 mindest im wesentlichen identische Größen besitzen. Die Grenzlinien 4 bilden dabei ein die jeweilige Zelle 2 umschreibendes Viereck 6, welches Seiten 4a– 4d aufweist, vgl. Fig. 2.

[0025] Nach den Fig. 2 und 3 sind an jeder der Seiten 4a bis 4d Anschlüsse 5a–5d vorgesehen, die die Zellen 2a–2e an mit den jeweiligen Nachbarzellen verbinden bzw. vom integrierten Schaltkreis nach außen führen und/oder an den Außenseiten der Außenzellen des integrierten Schaltkreises 1 auf geeignete Weise abgeschlossen sind.

[0026] Anschluß 5a stellt einen aus Eingangsleitungen 7a und Ausgangsleitungen 7b bestehenden Busanschluß 5a dar. Anschluß 5c stellt einen aus Eingangsleitungen 8b und Ausgangsleitungen 8a bestehenden Busanschluß 5c dar. Im Inneren der Zelle 2d sind Schalter vorgesehen, um wahlweise
 15 Daten von den Eingangsleitungen 7a des Busanschlusses 5a zu den Ausgangsleitungen 8a des Busanschlusses 5c zu übertragen und/oder andere Daten mit gleichem Datenformat an die Ausgangsleitungen 8a zu übertragen. Es ist somit ein interner Bus 9 vorgesehen. Die Eingangsleitungen 7a und die Ausgangsleitungen 8a sind bis unmittelbar an den durch die Grenzlinie 4a bzw. 4c definierten Zellrand geführt. Die Eingangsleitungen 7a liegen dabei zugleich so genau gegenüber den jeweiligen Ausgangsleitungen 8a, daß bei
 20 Nebeneinanderanordnung zweier Zellen Ausgangsleitungen 8a der ersten Zelle mit Eingangsleitungen 7a der zweiten Zelle in elektrisch leitender Verbindung stehen.

[0027] In entsprechender Weise sind am Anschluß 5a noch Ausgangsleitungen 7b vorgesehen, die mit Eingangsleitungen 8b des Anschlusses 5c korrespondieren wie zuvor für das Ein/Ausgangsleitungspaar 7a, 8a erläutert. Weiter korrespondieren die an der Seite 4b vorgesehenen Ein- und Ausgangsleitungen des Anschlusses 5b mit Ausgangs- und Eingangsleitungen des Anschlusses 5d der Seite 4d.

[0028] Im Inneren der Zelle 2d sind ein Rechenwerk 10 für die Verknüpfung von auf den Eingangsleitungen der Anschlüsse 5 einlaufenden Daten sowie ein zugehöriger Steuer-
 40 automat 11 und eine Reihe interner Verbindungen 12a bis 12c zwischen diesen untereinander und zur Verbindung derselben mit dem Bus 9 in per se bekannter Weise vorgesehen.

[0029] Nach Fig. 3 weisen die Zellen 2a bis 2e der verschiedenen Zellarten identische Größen auf wie durch die identische Größe der die Zelle umschreibenden Grenzlinien 4 veranschaulicht. Die Anschlussleitungen 5 aller Zellen 2a bis 2e sind jeweils bis an die Zellgrenze 4 herangeführt, wo sie an den jeweils gleichen Positionen liegen. Die interne
 50 Verbindungen zwischen den Anschlüssen 5 an einer Zelle 2 untereinander und zu den in der Zelle vorgesehenen logischen Elementen kann dabei von Zelle zu Zelle variieren.

[0030] Der integrierte Schaltkreis der vorliegenden Erfindung wird hergestellt wie folgt:

[0031] Zunächst werden die für einen spezifischen Anwendungsfall erforderlichen Speicherkapazitäten, Rechenleistungen, Ein-Ausgabe-Anforderungen usw. des integrierten Schaltkreises 1 bestimmt. Dann wird ermittelt, mit welchen Schaltungen wie Speicher-, Floating-Point-Rechenwerk-, Integer-Rechenwerk-, Addierer-, Multiplizierer-, Verschlüsselungswerk-, Verbindungs-, Ein- und/oder Ausgabeschaltungen usw. diese Funktionen realisierbar sind. Diese Schaltungen werden nun blockweise zusammengefaßt, um jeweilige Zellarten zu definieren, z. B. RAM-Zellen (Speicherzelle für wahlfreien Zugriff), I/O-Zellen, Floating-Point-Unit-Zellen, Rechenwerk-Zellen, multiplizierende Zellen usw. Gegebenenfalls wird dabei geprüft, ob diese Funktio-

nen schon für früher hergestellte integrierte Schaltkreise bereitgestellt wurden. Es wird dabei versucht, die gewünschten Funktionen so auf unterschiedliche Zellarten zu verteilen, daß alle Zellarten eine zumindest näherungsweise einen gleichen Flächenbedarf aufweisen. Die Zellart mit dem höchsten Flächenbedarf bestimmt dabei die Größe aller Zellarten.

[0032] Nach der Funktionsaufteilung auf verschiedene Zellarten 2a bis 2e werden die zwischen den Zellen benötigten Anschlußleitungen 5 bestimmt. Dann wird eine räumliche Anordnung der Anschlußleitungen 5 an den Zellen festgelegt. Die Zellen der jeweiligen Zellarten 2a bis 2e werden dann jeweils entworfen, ohne daß eine weitere Beeinflussung durch den Entwurf der anderen Zellarten erfolgt. Dabei werden vom Inneren der Zellen 2 Leitungsanschlüsse 5 bis an den Zellrand 4 gelegt. Von den in den verschiedenen Zellarten vorgesehenen Gattern werden dabei zumindest einige in jeder Zelle so entworfen, daß sie während der Laufzeit programmierbar sind, um eine jeweils erforderliche Aufgabe mit der Zelle ausführen zu können. Dies ist dann der Fall, wenn die Verbindungsstruktur veränderbar ist, d. h. die ausgewerteten Anschlüsse und/oder die Funktion eines Rechenwerkes usw. verändert werden kann.

[0033] Dies geschieht für alle Zellarten nacheinander, sofern nicht auf Entwürfe für früher hergestellte integrierte Schaltkreise zurückgegriffen werden kann. Stellt sich dabei heraus, daß der Platzbedarf für die größte Zellart nicht ausreicht, können alle Zellen einfach dadurch vergrößert werden, daß die Anschlußleitungen 5 entsprechend verlängert werden. Dies ermöglicht es insbesondere, in großen Gruppen einen parallelen Entwurf aller Zellarten gleichzeitig vorzunehmen.

[0034] Es wird dann die Funktionsfähigkeit jeder einzelnen Zellart für sich überprüft, ohne daß die Funktionsfähigkeit anderer Zellarten gleichzeitig mitgeprüft werden müßte. Dies verringert den Gesamtrechenaufwand für die Überprüfung des integrierten Schaltkreises wesentlich und ermöglicht so den einfachen Entwurf hochkomplexer Schaltkreise aus sich regulär wiederholenden, selbst komplexen Einheiten.

[0035] Nach Abschluß des Entwurfes der letzten fertigzustellenden Zellart wird ein Gesamtentwurf erstellt, bei dem die verschiedenen Zellarten so nebeneinander platziert werden, daß die entsprechenden Ein- und Ausgangsleitungen in elektrisch leitende Verbindung stehen. Danach werden erforderlichenfalls die elektrischen Verbindungen zwischen den Zellen überprüft. Auch hierfür ist der Überprüfungsaufwand sehr gering.

[0036] Erforderlichenfalls werden weitere, sich nicht wiederholende Einheiten vorgesehen, wie Überspannungsschutzschaltungen. Die seals, d. h. Chipabschlüsse, Leistungsabschlüsse für am Schaltkreisrand liegende Anschlussleitungen, Teststrukturen usw. So kann für einen tatsächlichen Entwurf einer Schaltung nach DE 44 16 881 C2 ein einzelner Konfigurationsmanager vorgesehen werden, der eine von den anderen Zellarten abweichende Anschlussleitungsanordnung besitzt.

[0037] Auf diese Weise kann ein integrierter Schaltkreis für einen spezifischen Zweck in sehr kurzer Zeit entworfen und zur Herstellung gegeben werden. Die Herstellung selbst erfolgt dann auf konventionelle Weise.

[0038] Es sei darauf hingewiesen, daß neben oder anstelle der in den Fig. 1 und 3 gezeigten Zellarten auch andere verwendbar sind.

[0039] Beispielsweise ist es möglich, anstelle von zwei verschiedenen Zellarten, von denen die erste Gleitkomma-Operationen und die zweite arithmetische Verknüpfungen ganzer Zahlen durchführt, lediglich eine einzige Zellart zur

Implementierung dieser Funktionen vorzusehen, mit der beide Operationsarten ausgeführt werden können.

[0040] Es sei darauf hingewiesen, daß die Zellen nicht zwingend viereckig ausgebildet werden müssen. Insbesondere sind andere Ausgestaltungen anderen Zellformen verwendbar, welche eine überdeckende Neben- bzw. Übereinander-Anordnung erlauben. So ist die Verwendung sechs- oder dreieckiger Zellen denkbar. Weiter ist es denkbar, zwei oder mehr Zellformen zu mischen, z. B. Dreiecke mit Trapezen. Es werden dann die Anschlüsse an den Zellgrenzen für alle Zellformen so positioniert, daß eine nachbarschaftliche Anordnung der verschiedenen Zellformen wie gewünscht möglich wird. Auch damit liegen also die Anschlüsse an zumindest im wesentlichen übereinstimmenden Positionen der Zelle, um so die erfindungsgemäße Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu ermöglichen.

[0041] Es sei darauf hingewiesen, daß die korrespondierenden Ein- und Ausgangsleitungen auf benachbarten Seiten der Zellen nicht zwingend über eine Busstruktur verbunden werden müssen. So ist es insbesondere möglich, andere als die auf der einen Seite eingespeisten Daten auf der gegenüberliegenden auszugeben. Die Daten können z. B. durch das Rechenwerk verändert werden.

Bezugszeichenliste

- 1 integrierter Schaltkreis
- 2 Zellarten
- 2a RAM-Zelle (Speicherezelle für wahlfreien Zugriff)
- 2b I/O-Zelle (Eingabe-Ausgabe-Einheit-Zelle)
- 2c Floating-Point-Unit-Zelle (Gleitkomma-Einheit-Zelle)
- 2d Rechenwerk-Zelle (ALU)
- 2e Multiplizierende Zelle
- 3 logische Elemente der Zellen 2a-2e
- 4 Zellgrenze
- 4a, b, c, d Seiten der Zelle
- 5 Anschlüsse an den Zellen 2
- 5a, b, c, d Busanschlüsse an den Seiten
- 6 umschreibendes Viereck 6
- 7a Eingangsleitungen am Busanschluß 5a
- 8a Ausgangsleitungen am Busanschluß 5c
- 9 interner Bus
- 10 Rechenwerk der Zelle 2d
- 11 Steuerautomat 11 der Zelle 2d
- 12 interne Verbindungen in Zelle 2d

Patentansprüche

1. Integrierter Schaltkreis mit mehreren, einander benachbarten Zellen, wobei wenigstens zwei Arten von Zellen vorgesehen sind, welche Anschlüsse aufweisen, **dadurch gekennzeichnet**, daß die Zellen eine zur Integration einer Vielzahl logischer Elemente ausreichende Größe aufweisen, wobei zumindest an einigen der Zellen zumindest ein logisches Element programmierbar ist und die Anschlüsse an zumindest im wesentlichen übereinstimmenden Positionen der Zelle vorgesehen sind, um so eine Zellartendurchmischung bei der benachbarten Anordnung der Zellen zu erlauben.
2. Integrierter Schaltkreis nach dem vorhergehenden Anspruch dadurch gekennzeichnet, daß mit wenigstens einer der Zellarten wenigstens ein Speicher-, Floating-Point-Rechenwerk-, Integer-Rechenwerk-, Addierer-, Multiplizierer-, Verschlüsselungswerk-, Verbindungs-, Ein- und/oder Ausgabemittel realisiert ist.
3. Integrierter Schaltkreis nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß wenigstens eine der Zellarten einen RAM-, ROM-, PROM-, EE-

PROM-Speichermittel und/oder Kombinationen vorgenannter Speichertypen umfaßt.

4. Integrierter Schaltkreis nach einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, daß wenigstens einer der Zellarten ein Ein- und/oder Ausgabemittel zur Kommunikation mit einem Modemanschluß, einem Netzwerkanschluß, einem Speichermittel und/oder mit einem Peripheriegeräteanschluß realisiert.

5. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Zellen für die Integration von wenigstens 100, bevorzugt 1000 logischen Elementen, insbesondere Gattern dimensioniert sind.

6. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß wenigstens zwei verschiedene Zellarten vorgesehen sind, die jeweils zumindest 100, bevorzugt zumindest 1000 logische Gatteräquivalente umfaßt.

7. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß wenigstens eine Kantenlänge der Zellen wenigstens das 500fache, bevorzugt wenigstens das 1000fache der den Herstellungsprozeß charakterisierenden Gatelänge beträgt.

8. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß wenigstens zwei Kantenlängen der Zellen wenigstens das 200fache, bevorzugt wenigstens das 500fache der den Herstellungsprozeß charakterisierenden Gatelänge beträgt.

9. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Zellen verschiedener Arten zumindest im wesentlichen identische Größen aufweisen.

10. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Anschlüsse zumindest einen der Anschlüsse Versorgungsspannung und/oder Masse, und/oder zumindest eine Zell-Ein- und/oder Ausgabeleitung umfassen.

11. Integrierter Schaltkreis nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Zell-Ein- und/oder Ausgabeleitung einen Teil eines Ein- und/oder Ausgabebusses darstellt und/oder eine Taktleitung umfaßt.

12. Integrierter Schaltkreis nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Zell-Ein- und/oder Ausgabeleitungen wenigstens zwei voneinander getrennte Busse umfassen.

13. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß alle sich entsprechenden Anschlüsse der unterschiedlichen Zellarten an jeweils gleichen Positionen angeordnet sind.

14. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zumindest einige der Zellanschlüsse am Zellrand angeordnet sind.

15. Integrierter Schaltkreis nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß eine Vielzahl von Zellen nebeneinander angeordnet ist.

16. Integrierter Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zumindest einige der Zellanschlüsse auf der Zellober- und/oder Unterseite angeordnet ist.

17. Integrierter Schaltkreis nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß zumindest

zwei Lagen Zellen übereinander vorgesehen sind.

Hierzu 3 Seite(n) Zeichnungen





